

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   3 月 2 8 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 8 9 5 5 9  
Application Number:

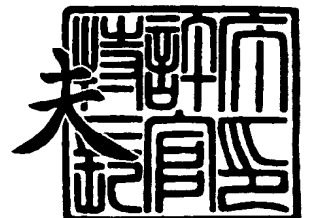
[ST. 10/C]:            [ J P 2 0 0 3 - 0 8 9 5 5 9 ]

出   願   人            株式会社日立製作所  
Applicant(s):           アルパイン株式会社

2 0 0 4 年   3 月 1 1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号   出証特 2 0 0 4 - 3 0 1 9 3 7 9

【書類名】 特許願

【整理番号】 H03001071

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/24

【発明者】

    【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
                          製作所 半導体グループ内

    【氏名】 鎌田 健二

【発明者】

    【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立  
                          製作所 半導体グループ内

    【氏名】 小野寺 洋一

【発明者】

    【住所又は居所】 東京都品川区西五反田 1 丁目 1 番 8 号 アルパイン株式  
                          会社内

    【氏名】 鈴木 康方

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【特許出願人】

    【識別番号】 000101732

    【氏名又は名称】 アルパイン株式会社

【代理人】

    【識別番号】 100080001

    【弁理士】

    【氏名又は名称】 筒井 大和

    【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 シリアル通信装置

【特許請求の範囲】

【請求項 1】 データを受信するシリアルインターフェースと、  
前記シリアルインターフェースが受信したデータを前記シリアルインターフェースから第 1 のメモリへ転送する DMA コントローラとを有し、  
前記 DMA コントローラは、前記シリアルインターフェースが前記データを受信する前に起動されることを特徴とするシリアル通信装置。

【請求項 2】 請求項 1 記載のシリアル通信装置であって、  
前記 DMA コントローラは、1 回に受信されるデータ数より多い回数を転送回数として設定し、前記シリアルインターフェースから前記第 1 のメモリへの転送データ数が前記設定された転送回数に達した時に CPU へ DMA 転送終了割り込み信号を出力することを特徴とするシリアル通信装置。

【請求項 3】 請求項 2 記載のシリアル通信装置であって、  
前記シリアルインターフェースは、前記データの受信開始後、前記データの受信が一定期間停止した時に前記 CPU へ受信タイムアウト割り込み信号を出力することを特徴とするシリアル通信装置。

【請求項 4】 請求項 3 記載のシリアル通信装置であって、  
前記 DMA コントローラは、前記 DMA 転送終了割り込み信号又は前記受信タイムアウト割り込み信号をトリガとして、前記第 1 のメモリへ転送された前記受信データを第 2 のメモリへ再転送することを特徴とするシリアル通信装置。

【請求項 5】 請求項 2 ～ 4 のいずれか 1 項に記載のシリアル通信装置であって、

前記第 1 のメモリは 2 以上のメモリ領域からなり、  
前記 DMA コントローラは、連続転送機能を有し、前記 DMA 転送終了割り込み信号又は前記受信タイムアウト割り込み信号をトリガとして、前記シリアルインターフェースが受信したデータの転送先を前記 2 以上のメモリ領域の間で交互に切り替えて前記シリアルインターフェースから前記第 1 のメモリへ前記データを転送することを特徴とするシリアル通信装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、シリアル通信装置に関し、特にカーナビゲーションシステムなどのシリアル通信を多く使用するシステムに適用して有効な技術に関する。

**【0002】****【従来の技術】**

例えば、本発明者が検討した技術として、カーナビゲーションシステムなどのシリアル通信装置においては以下の技術が考えられる。

**【0003】**

すなわち、シリアルデータを所定回数の読み込みタイミングでデータを受信・確定する通信装置において、この読み込みタイミングを決定する通信処理周期を計測し、この読み込みタイミングが通信装置内の他の割り込み処理等により遅れた場合、データの確定ができなくなることを防止するために、通信装置は上述の読み込みタイミングを早めていた（例えば、特許文献1参照）。

**【0004】****【特許文献1】**

特開平8-314513号公報

**【0005】****【発明が解決しようとする課題】**

ところで、前記のようなシリアル通信装置の技術について、本発明者が検討した結果、以下のようなことが明らかとなった。

**【0006】**

処理の遅れを検出してから読み込みタイミングを変更するため、データ読み込みに遅延が生じてしまう。また基本的な処理はCPU（Central Processing Unit）が実行するため、シリアルデータ受信処理が多い場合にタイミング変更処理が増え、結果的にCPUの負荷を減らすことができない。

**【0007】**

そこで、本発明の目的は、カーナビゲーションシステムなどのシリアル通信を多く使用するシステムにおいて、CPUの負荷を軽減することができるシリアル通信装置を提供するものである。

【0008】

本発明の前記並びにその他の目的と新規な特徴は、本明細書の記述及び添付図面から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0010】

すなわち、本発明によるシリアル通信装置は、シリアル通信の制御手法に着目し、シリアル通信におけるデータ受信にDMA (Direct Memory Access) コントローラを使用し、あらかじめ受信用DMAコントローラ（以下、「DMAC」という）の転送回数に1回の受信データ数よりも多い回数を設定すると共に、一定期間データを受信しなかった場合にタイムアウト割り込みを発生させる機能をシリアルインターフェース（以下、「SCIF」という）に付加することにより、CPUに負荷をかけないでシリアル通信を制御・実行するものである。具体的には、以下のとおりである。

【0011】

- (1) CPU負荷を軽減するため、SCIFとDMACにて動作をさせる。

【0012】

- (2) データを受信する前に受信用DMACを起動しておく。

【0013】

- (3) あらかじめ受信用DMACの転送回数に1回の受信データ数よりも多い回数を設定する。これによりCPUのDMA転送回数を設定する頻度を抑え、CPUの処理を軽減できる。

【0014】

- (4) データを受信したら、SCIF内の受信FIFO (First-in

First-out) データフルDMA転送要求をトリガに受信FIFOからDMA転送用バッファ領域(第1のメモリ)にデータを転送する。

【0015】

(5) DMA転送回数分のデータを受信したら、DMA転送終了割り込みをトリガに受信データ(DMA転送用バッファ領域に転送されたデータ)をアプリケーションかドライバが使用可能なワーク領域(第2のメモリ)に転送する。

【0016】

(6) DMA転送回数分のデータを受信する前に一定期間、データを受信しなかった場合、タイムアウト割り込みをトリガに受信データ(DMA転送用バッファ領域に転送されたデータ)をアプリケーションかドライバが使用可能なワーク領域(第2のメモリ)に転送する。

【0017】

(7) また受信用DMACとして、連続転送機能を有するDMACを使用し、DMA転送用バッファ領域を2以上の領域に分割し、DMA転送先を交互に切り替えることにより、シリアル受信データの取りこぼしを防止することができる。

【0018】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0019】

(実施の形態1)

図1は本発明の実施の形態1においてシリアル通信装置を含むシステムの構成及びデータ受信処理フローを示す図であり、(a)はデータ受信が停止する前に設定回数のDMA転送が終了した場合、(b)はデータ受信が途中で停止した場合を示す。図2は本実施の形態1において、シリアル通信のデータ受信処理フローを示す図である。図3は本実施の形態1において、SCIF内部の受信タイムアウト割り込み信号発生部の構成及び処理フローを示す図、図4は受信タイムアウト割り込み信号発生部の処理フローである。

## 【0020】

まず、図1により、本実施の形態1のシリアル通信装置の構成の一例を説明する。本実施の形態1のシリアル通信装置は、例えばSCIF11、DMAC12などからなり、お互いに接続されている。また、SCIF11は外部のシリアル通信機器13と接続されシリアルデータを受信する。SCIF11、DMAC12はバスや割り込み信号ラインなどを介してCPU14、メモリ15などと接続され、システムを構成している。

## 【0021】

SCIF11は外部のシリアル通信機器13とシリアル通信を実行するためのインターフェースであり、受信FIFO（図示せず）、受信タイムアウト割り込み信号発生部（図示せず）などを含む。受信FIFOはシリアル通信機器13から受信したシリアルデータを一時的に保存する先入れ先出し方式のバッファメモリである。受信タイムアウト割り込み信号発生部については、図3及び図4を用いて後述する。

## 【0022】

DMAC12はCPU14に代わって、SCIF11・メモリ15間並びにメモリ15・メモリ15間のデータ転送（DMA転送）を制御するコントローラである。

## 【0023】

CPU14はシステムの演算処理・制御などを行う中央処理装置である。

## 【0024】

メモリ15は書き込み・読み出し・消去可能なメモリであり、DMA転送用バッファ領域16（第1のメモリ）、アプリ・ドライバ用ワーク領域17（第2のメモリ）などを含む。DMA転送用バッファ領域16はSCIF11から転送されたデータを一時的に保存するメモリ内のバッファ領域である。アプリ・ドライバ用ワーク領域17はアプリケーション、ドライバなどのプログラムが使用可能なメモリ内のワーク領域である。

## 【0025】

メモリ18は読み出し専用メモリであり、CPU14が実行するアプリケーション



ョン、ドライバなどのプログラム並びにデータを含む。

#### 【0026】

次に、図1及び図2により、本実施の形態1のシリアル通信装置において、シリアル通信のデータ受信処理フローを説明する。

#### 【0027】

本実施の形態1では、シリアル通信における受信データの受信FIFOからメモリ15へのデータ転送にDMAC12を使用する。

#### 【0028】

あらかじめ、受信用DMAC12の転送回数に1回の受信データ数より多い回数を設定する（ステップS101）。転送回数は可能な限り大きめに設定するのが望ましい。これにより、CPU14のDMA転送回数を設定する頻度を抑え、CPU14の処理を軽減することができる。転送回数以外には、転送するデータのアクセスサイズ、転送元アドレス、転送先アドレス、転送開始・停止のトリガ、割り込み信号の通知の有無などを設定する。

#### 【0029】

データを受信する前に受信用DMAC12を起動し、データ転送トリガ待ちの状態にする（ステップS102）。

#### 【0030】

シリアル通信でデータを受信し、SCIF11内の受信FIFOにデータが格納される（ステップS103）。

#### 【0031】

受信FIFO内の受信データ数が受信トリガ設定数以上になったら、SCIF11からデータ受信用DMAC12に対して受信FIFOデータフルDMA転送要求が出力される（ステップS104，S105）。受信トリガ設定数はシリアル通信開始前の初期設定時にSCIF11内で設定される。

#### 【0032】

DMA転送要求をトリガにして、受信FIFOからメモリ15内のDMA転送用バッファ領域16にDMAC12で受信データをDMA転送する（ステップS106）。

## 【0033】

設定したDMA転送回数未満のデータ数をDMA転送したが、データ受信が継続されている場合は、ステップS103へ戻る（ステップS107、S108）。

## 【0034】

設定したDMA転送回数分のデータ数をDMA転送した場合は、DMA転送終了割り込みをDMAC12がCPU14に出す（ステップS107、S109、図1（a））。

## 【0035】

設定したDMA転送回数未満のデータ数をDMA転送したが、一定期間データ受信が停止した場合は、受信タイムアウト割り込みをSCIF11がCPU14に出す（ステップS108、S110、図1（b））。受信タイムアウト割り込み信号が出し続けとなるのを防止するため、一度受信タイムアウト割り込みを発生させた場合に、次のデータを受信するまでは受信タイムアウト割り込みを発生させない仕組みを設ける。また、シリアル通信においてなんらかのエラーが発生している時は、受信タイムアウト割り込みを発生させない仕組みを設ける。さらに、シリアル通信においてなんらかのエラーが発生している時に、受信タイムアウト割り込みを発生させるか、発生させないかの選択ができる仕組みを設ける。

## 【0036】

もし、受信タイムアウトの判定及び通知の機能がなかったら、データ受信が停止したか否かをCPU14でSCIF11の受信FIFOをポーリングして確認する必要があり、CPU14の処理が増大することとなる。受信タイムアウト割り込み信号発生の処理フローについては、図3及び図4により後述する。

## 【0037】

DMA転送終了又は受信タイムアウト割り込みをトリガにして、DMA転送用バッファ領域16に転送されたデータをアプリ・ドライバ用ワーク領域17に転送する（ステップS111）。

## 【0038】

シリアル通信を継続する場合はステップS101へ戻る（ステップS112）

。

#### 【0039】

次に、図3により、本実施の形態1のシリアル通信装置において、SCIF11内部の受信タイムアウト割り込み信号発生部の構成の一例を説明する。

#### 【0040】

受信タイムアウト割り込み信号発生部は、受信判定部21、タイマカウンタ22、タイムアウト設定値23、カウンタオーバーフロー判定部24などから構成される。受信判定部21は外部のシリアル通信機器13から受信データ信号(RXD)を受信しタイマカウンタ22へカウント開始トリガを出力し、タイマカウンタ22はカウンタオーバーフロー判定部24へカウンタの値を出力し、タイムアウト設定値23はカウンタオーバーフロー判定部24へタイムアウトの設定値を出力し、カウンタオーバーフロー判定部24はタイマカウンタがオーバーフローした時CPU14へ受信タイムアウト割り込み信号を出力する。

#### 【0041】

次に、図3及び図4により、受信タイムアウト割り込み信号発生処理フローを説明する。

#### 【0042】

あらかじめ、タイムアウト設定値23において受信タイムアウト割り込みを発生するまでの期間を設定する(ステップS201)。この期間を可変にするのであれば、設定用のレジスタが必要となる。設定値は、設定用のレジスタに書き込むかあるいは固定値であってもよい。

#### 【0043】

データを受信したら、受信が開始されたか否かを受信判定部21で判定する(ステップS202, S203)。この判定はデータを受信ごとに毎回判定する。

#### 【0044】

データ受信が開始されたら、受信判定部21からタイマカウンタ22へカウント開始要求の信号を出力する(ステップS204)。この信号が入ると、タイマカウンタ22の値はクリアされ、新たにゼロからカウントが開始される(ステップS205)。

## 【0045】

カウンタオーバーフロー判定部24で、カウンタ値とタイムアウト設定値を比較する（ステップS206，S207）。

## 【0046】

カウンタ値がタイムアウト設定値よりも大きくなったら、カウンタオーバーフロー判定部24からCPU14へ受信タイムアウト割り込み信号を出力する（ステップS208）。

## 【0047】

（実施の形態2）

図5は本発明の実施の形態2においてシリアル通信装置を含むシステムの構成及びデータ受信処理フローを示す図であり、データ受信が停止する前に設定回数のDMA転送が終了した場合を示す。図6は本実施の形態2において、シリアル通信のデータ受信処理フローを示す図であり、データ受信が停止する前に設定回数のDMA転送が終了した場合及びデータ受信が途中で停止した場合を示す。

## 【0048】

本実施の形態2のシリアル通信装置は、前記実施の形態1のDMAC12として連続転送モード付きDMACをデータ転送に使用したものである。連続転送モード付きDMACは、前記実施の形態1のDMA転送用バッファ領域16において2面のDMA転送用バッファ16a，16bにデータを交互に転送する。転送データがDMA転送用バッファの1面を満たすと、DMA転送終了割り込みをCPU14に出力し、データの転送先をDMA転送用バッファのもう1面に切り替えるので、DMA転送を継続することが可能である。

## 【0049】

次に、図5及び図6により、本実施の形態2のシリアル通信装置において、シリアル通信のデータ受信処理フローを説明する。

## 【0050】

本実施の形態2では、シリアル通信における受信データの受信FIFOからメモリ15へのデータ転送に2チャンネルのDMAC12a，12bを使用する。

## 【0051】

あらかじめ、受信用の連続転送モード付きDMAC12aの転送回数に1回の受信データ数より多い回数を設定する（ステップS301）。これにより、CPU14のDMA転送回数を設定する頻度を抑え、CPU14の処理が軽減できる。このとき、転送回数は可能な限り大きめに設定するのが望ましい。また、2面のDMA転送用バッファ16a, 16bを転送先として設定する。

【0052】

データを受信する前に受信用DMAC12a, 12bを起動し、データ転送トリガ待ちの状態にする（ステップS302）。

【0053】

シリアル通信でデータを受信し、受信FIFOにデータが格納される（ステップS303）。

【0054】

受信FIFO内の受信データ数が受信トリガ設定数以上になったら、SCIF11から受信FIFOデータフルDMA転送要求信号がデータ受信用DMAC12aに出力される（ステップS304, S305）。

【0055】

DMA転送要求をトリガにして、受信FIFOからメモリ15内のDMA転送用バッファ16aの領域にDMAC12aで受信データをDMA転送する（ステップS306）。

【0056】

設定したDMA転送回数未満のデータ数をDMA転送用バッファ16aにDMA転送したが、データ受信が継続されている場合は、ステップS303へ戻る（ステップS307, S308）。

【0057】

設定したDMA転送回数のデータ数をDMA転送用バッファ16aにDMA転送した場合は、DMA転送終了割り込みをDMAC12aがCPU14に出す（ステップS307, S309）。この時、DMA転送は停止中だが、シリアルデータの受信は続いている可能性がある。

【0058】

設定したDMA転送回数未満のデータ数をDMA転送したが、一定期間データ受信が停止した場合は、受信タイムアウト割り込みをSCIF11がCPU14に出す（ステップS308, S310）。受信タイムアウト割り込み信号が出し続けとなるのを防止するため、一度受信タイムアウト割り込みを発生させた場合に、次のデータを受信するまでは受信タイムアウト割り込みを発生させない仕組みを設ける。

#### 【0059】

DMA転送終了または受信タイムアウト割り込みをトリガにして、データの転送先をもう1面のDMA転送用バッファ16bに切り替えてDMAC12aを起動する（ステップS311, S302、図5下段）。DMA転送用バッファを別領域に切り替えることでDMA転送を連続して行うことができる。連続転送モードを使用してDMA転送を短期間で再開することで、割り込み発生による処理から次のDMA転送を起動するまでの期間に起こり得るシリアル受信データの取りこぼしを防ぐことができる。

#### 【0060】

DMA転送終了または受信タイムアウト割り込みをトリガにして、DMA転送用バッファ16aかもう1面のDMA転送用バッファ16bのどちらかに転送されたシリアル受信データをアプリケーションかドライバが使用可能なワーク領域であるアプリ・ドライバ用ワーク領域17に転送する（ステップS312）。転送にはシリアル受信データの転送で使用したDMAC12aとは別チャンネルのDMAC12bを使用する。

#### 【0061】

シリアル通信を継続する場合はステップS301へ戻る（ステップS313）。

#### 【0062】

従って、本実施の形態2のシリアル通信装置によれば、2面のDMA転送用バッファ16a, 16bを交互に切り替えて受信データを転送するので、割り込み発生による処理から次のDMA転送を起動するまでの期間に起こり得るシリアル受信データの取りこぼしを防止することができる。

## 【0063】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

## 【0064】

例えば、前記実施の形態においては、カーナビゲーションシステムなどのシリアル通信を多用するシステムについて説明したが、これに限定されるものではなく、他のシリアル通信を使用するシステムについても適用可能である。

## 【0065】

## 【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

## 【0066】

(1) シリアル通信におけるデータ受信をCPUに代えてDMAコントローラで行い、またCPUがDMAコントローラの転送回数を設定する頻度も抑えられるため、CPUの負荷を軽減することができる。

## 【0067】

(2) シリアル通信におけるデータ受信でCPUの負荷が軽減されるため、シリアル通信インターフェースのチャンネル数を増やした場合であっても、CPU過負荷によるシステムの誤動作を防止することができる。

## 【0068】

(3) シリアル通信におけるデータ受信が停止しデータ転送が実施されない場合にタイムアウト割り込みを発生させるので、受信したデータを確実に取り込むことができる。

## 【0069】

(4) タイムアウト割り込みを発生させる条件を設定したので、無用なタイムアウト割り込み発生を防ぐことができ、CPUの負荷を軽減することができる。

## 【図面の簡単な説明】

## 【図1】

本発明の実施の形態 1 においてシリアル通信装置を含むシステムの構成及びデータ受信処理フローを示す図であり、(a) はデータ受信が停止する前に設定回数の DMA 転送が終了した場合、(b) はデータ受信が途中で停止した場合を示す。

#### 【図 2】

本発明の実施の形態 1 においてシリアル通信のデータ受信処理フローを示すフローチャートである。

#### 【図 3】

本発明の実施の形態 1 において S C I F 内部の受信タイムアウト割り込み信号発生部の構成及び処理フローを示す図である。

#### 【図 4】

本発明の実施の形態 1 において S C I F 内部の受信タイムアウト割り込み信号発生部の処理フローを示すフローチャートである。

#### 【図 5】

本発明の実施の形態 2 においてシリアル通信装置を含むシステムの構成及びデータ受信処理フローを示す図であり、データ受信が停止する前に設定回数の DMA 転送が終了した場合とデータ受信が途中で停止した場合を示す。

#### 【図 6】

本発明の実施の形態 2 においてシリアル通信のデータ受信処理フローを示すフローチャートである。

#### 【符号の説明】

- 1 1 シリアルインターフェース (S C I F)
- 1 2, 1 2 a, 1 2 b DMA コントローラ (D M A C)
- 1 3 シリアル通信機器
- 1 4 C P U
- 1 5, 1 8 メモリ
- 1 6 第 1 のメモリ (DMA 転送用バッファ領域)
- 1 6 a, 1 6 b 第 1 のメモリ (DMA 転送用バッファ)
- 1 7 第 2 のメモリ (アプリ・ドライバ用ワーク領域)

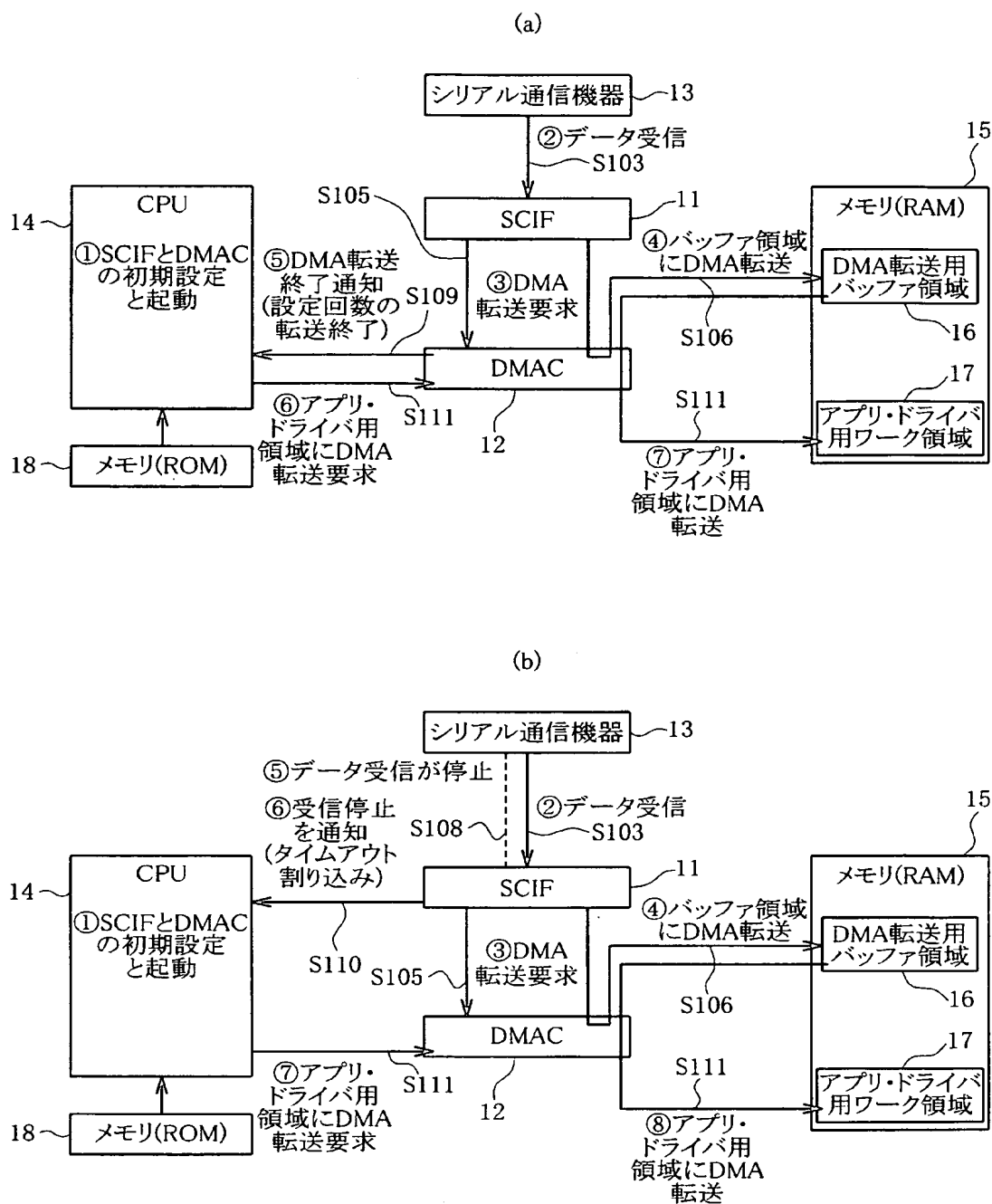


- 2 1 受信判定部
- 2 2 タイマカウンタ
- 2 3 タイムアウト設定値
- 2 4 カウンタオーバーフロー判定部

【書類名】 図面

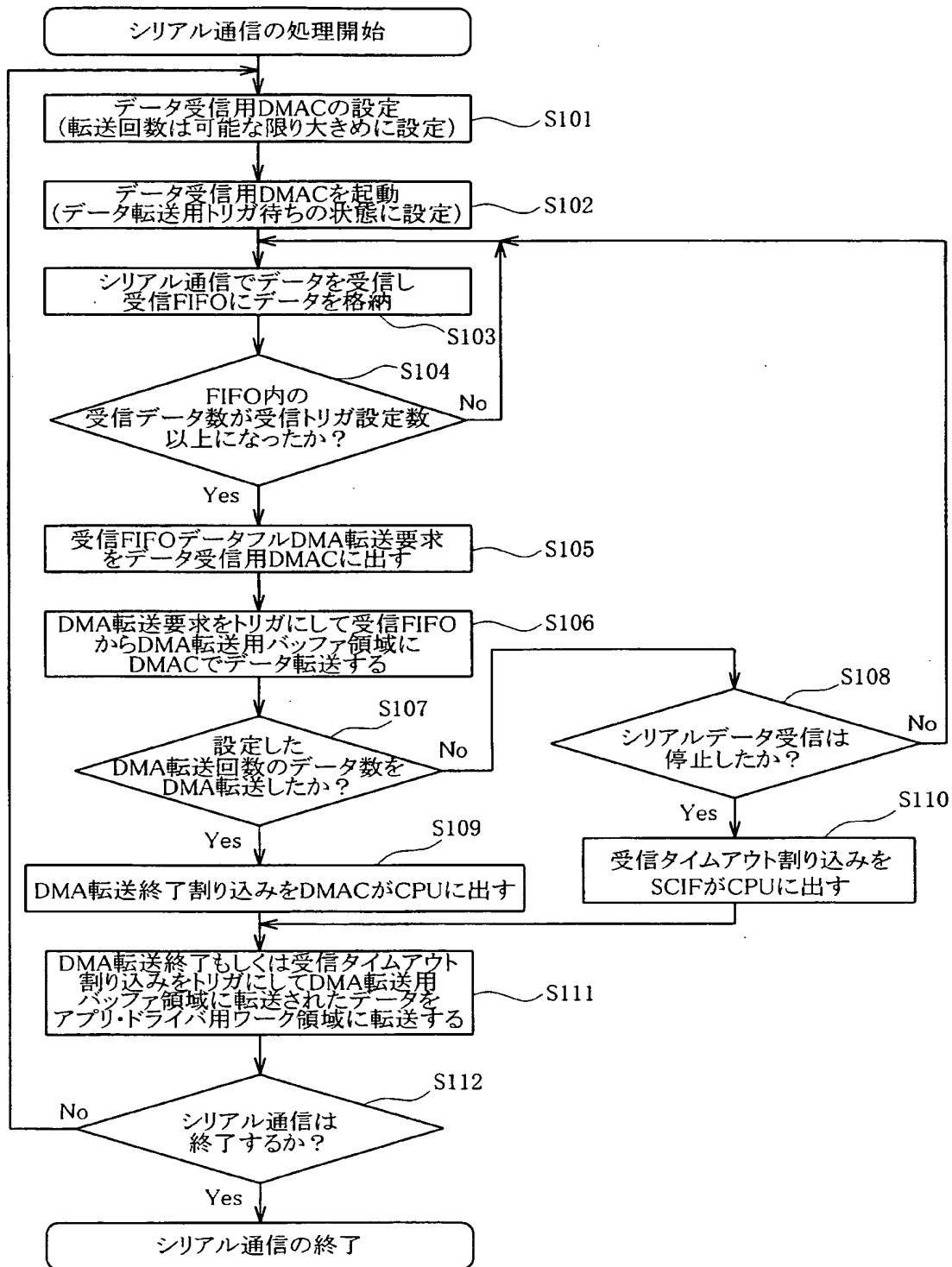
【図 1】

図 1



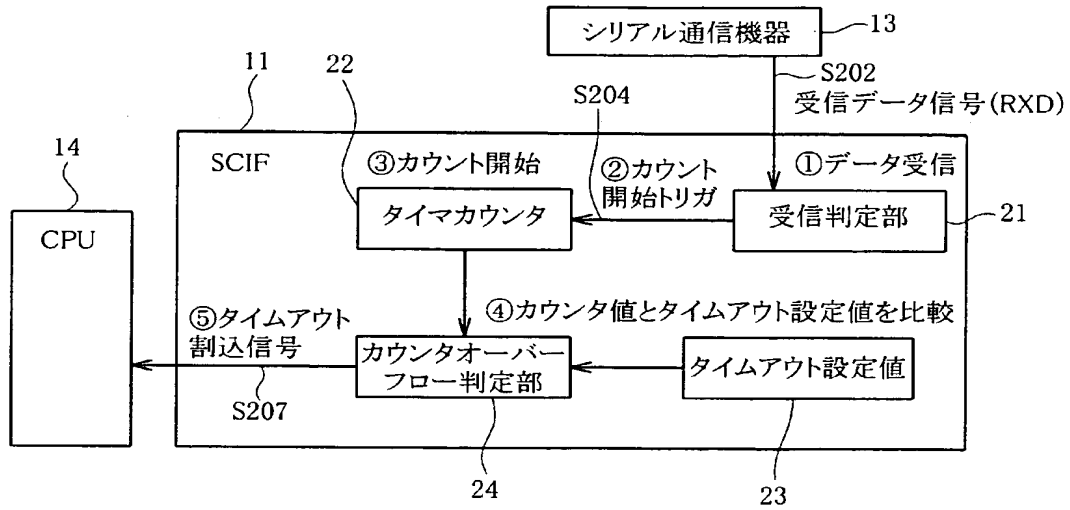
【図 2】

図 2



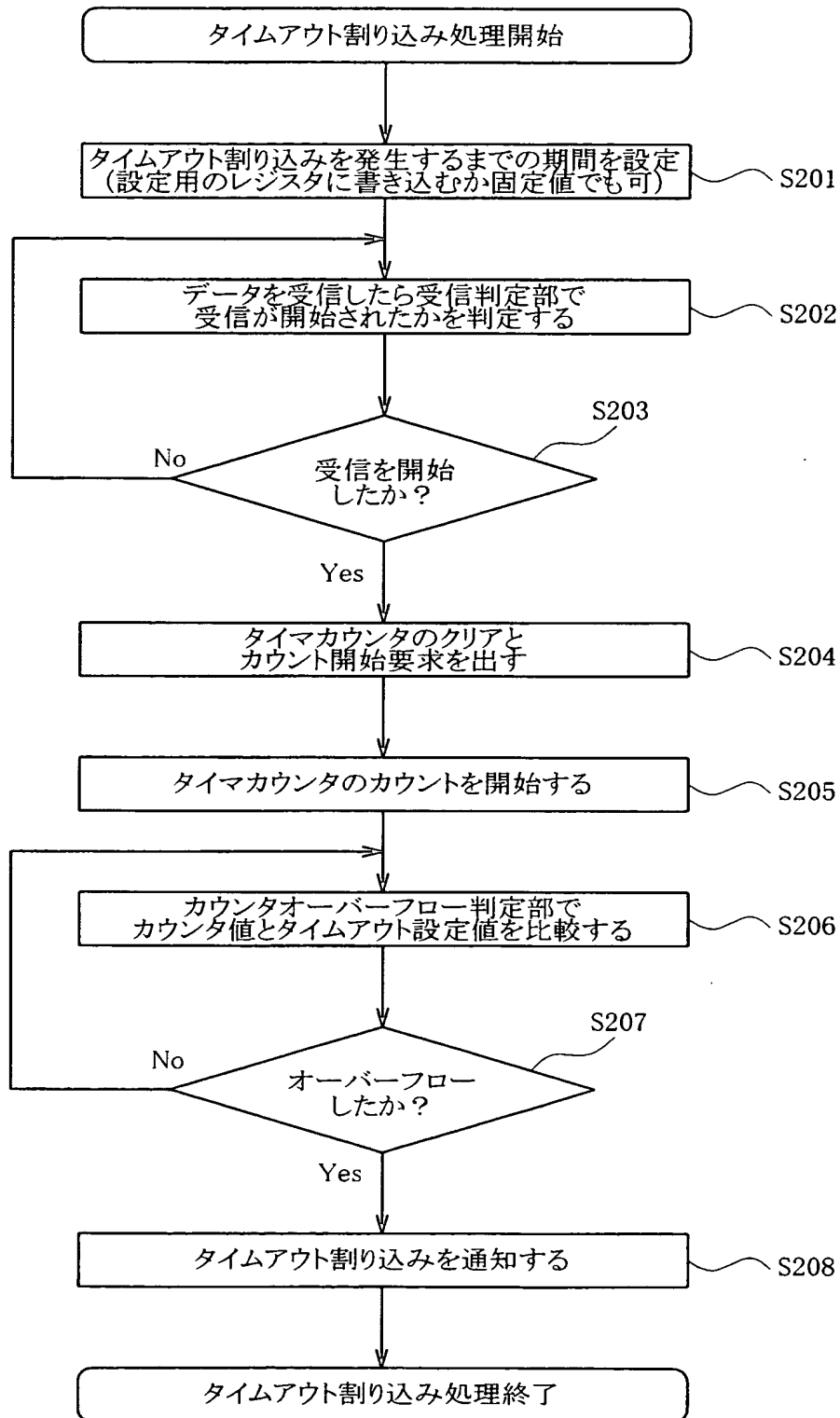
【図 3】

図 3



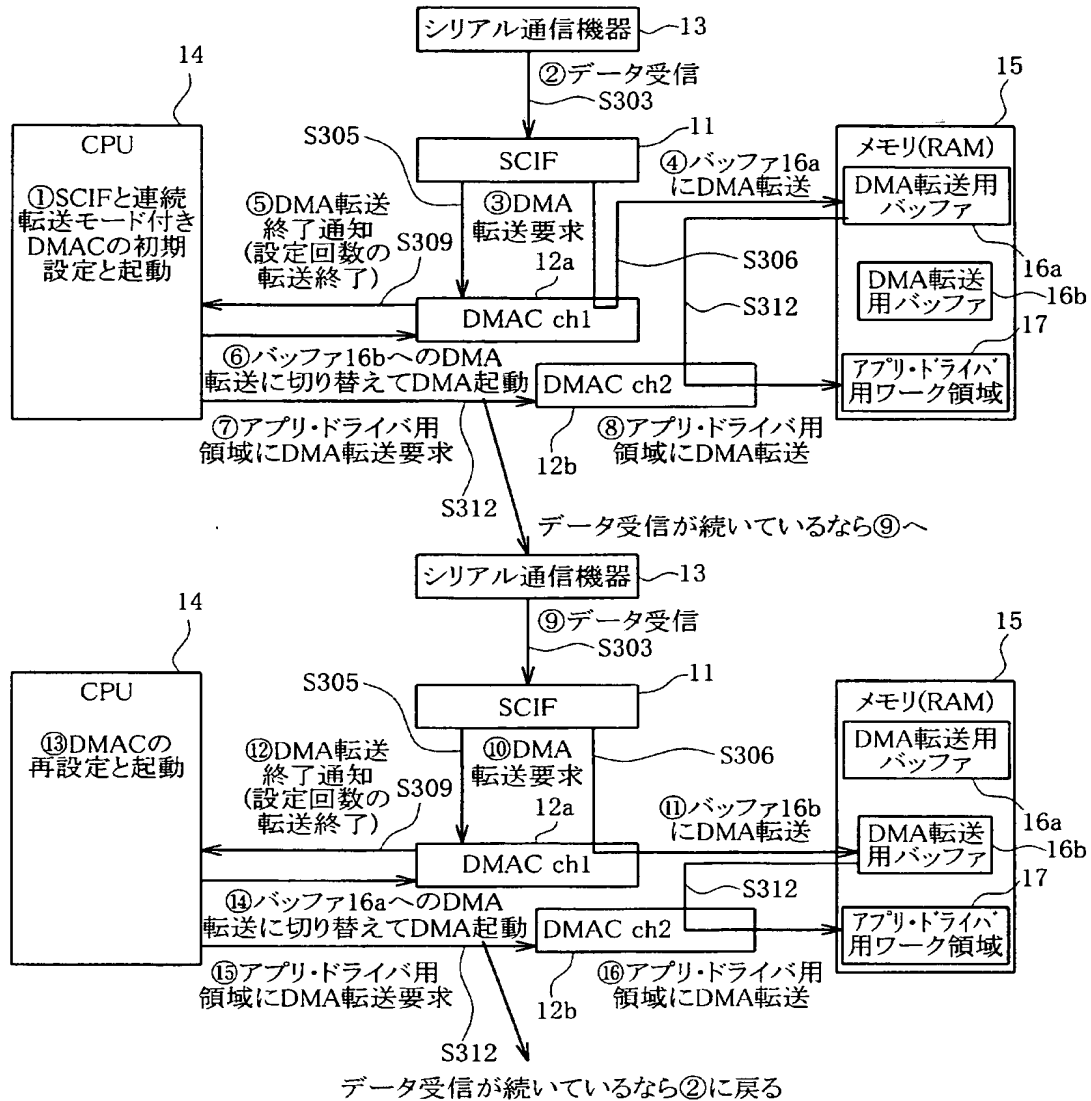
【図 4】

図 4



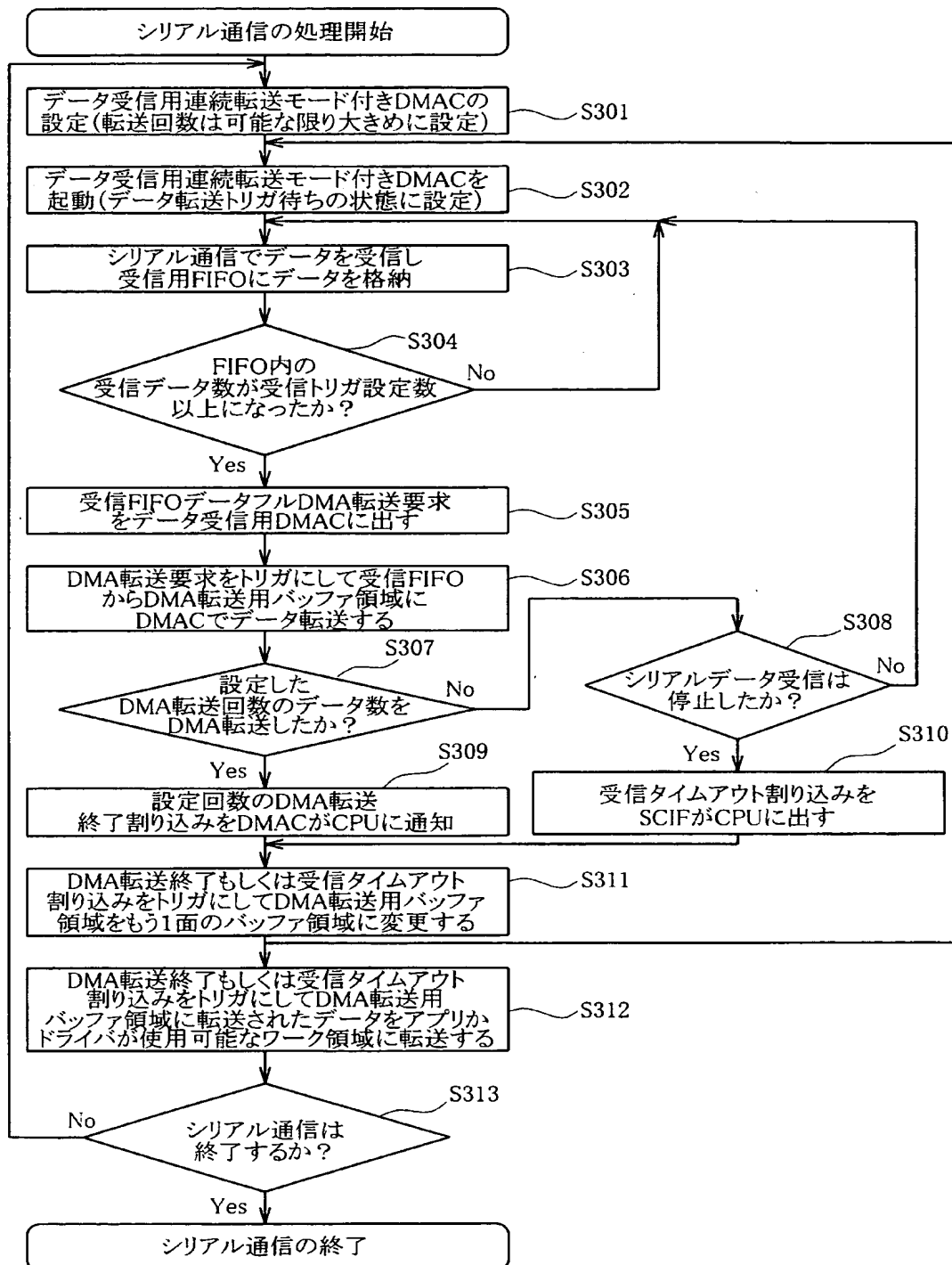
【図 5】

図 5



【図 6】

図 6



【書類名】 要約書

【要約】

【課題】 カーナビゲーションシステムなどのシリアル通信を多く使用するシステムにおいて、CPUの負荷を軽減することができるシリアル通信装置を提供する。

【解決手段】 シリアル通信の制御手法に着目し、シリアル通信におけるデータ受信にDMAコントローラ12を使用し、あらかじめ受信用DMAコントローラ12の転送回数に1回の受信データ数よりも多い回数を設定すると共に、一定期間データを受信しなかった場合にタイムアウト割り込みを発生させる機能をシリアルインターフェース11に付加することにより、CPU14に負荷をかけないでシリアル通信を制御・実行する。

【選択図】 図1



特願 2 0 0 3 - 0 8 9 5 5 9

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所

特願 2 0 0 3 - 0 8 9 5 5 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 1 0 1 7 3 2 ]

1. 変更年月日

1 9 9 0 年 8 月 2 7 日

[変更理由]

新規登録

住 所

東京都品川区西五反田 1 丁目 1 番 8 号

氏 名

アルパイン株式会社